



JPI 系列

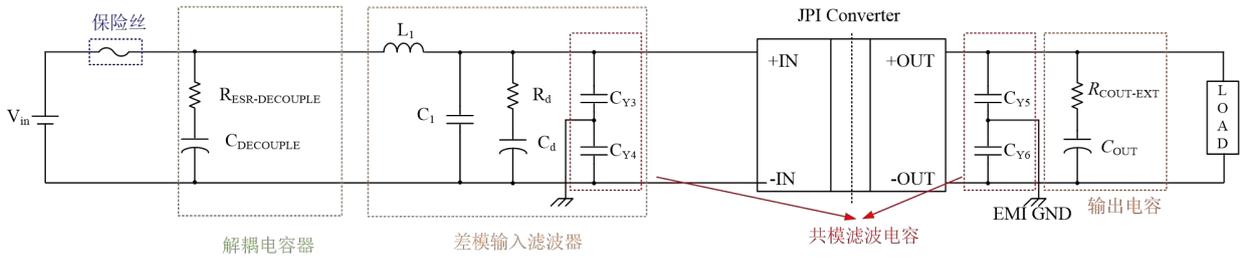
产品应用指南



目录

1. 设计要求	1
安全要求	1
解耦电容的最佳值	3
差模输入滤波器	3
JPI 输出电容	6
2. 热管理	7
效率和功耗	7
热电路模型	7
最高内部温度	7
散热器的安装	8
3. 焊接注意事项	9
焊接及清洁注意事项	9
拆除已焊接模块	10
4. 附录	11
可选外围电路设计	11
共模输入滤波器设计	13
噪声抑制技术	13
共模噪声滤波器设计步骤	13
输入滤波器设计	15

1.设计要求



1. 设计要求

JPI 模块外围电路可分为以下几部分：保险丝、输入解耦电容器，差模输入滤波器（依据用户使用条件可选）、共模滤波电容（依据用户使用条件可选）以及输出电容。更为详细的外围电路可参考附件。

安全要求

即使在不需要安规认证的情况下，保险丝也须在应用中使用。当选择一个保险丝时，下列的参数特性需要考虑：

电压额定值

器件的电压等级要高于实际可能最高输入电压

电流额定值

器件的电流等级要高于实际变换器最大输入电流中断额定值，对于低阻抗源非常重要

温度降额

如果保险丝使用温度范围高，在使用时需要根据保险丝温度降额特性曲线对额定电流进行限制

熔断积分

保险丝的熔断积分是熔断保险丝熔丝元件所需的能量，也称之为熔断值。

JPI 系列转换器可接受的熔断器类型和额定电流

输入电压范围(V)	输出电压(V)	输出功率(W)	模块型号	推荐的保险丝
JPI28H				
16-50	3.3	33	JPI28H3V3M33L	快断型，额定电流大于 4A，额定电压大于 60V
	5	50	JPI28H05M50L	快断型，额定电流大于 10A，额定电压大于 60V
	12	50	JPI28H12M50L	
	15	50	JPI28H15M50L	
	18	50	JPI28H18M50L	
	24	50	JPI28H24M50L	
	28	50	JPI28H28M50L	
	48	50	JPI28H48M50L	
	5	25	JPI28H05M25L	快断型，额定电流大于 4A，额定电压大于 60V
12	25	JPI28H12M25L		
JPI28WH				
9-50	3.3	16.5	JPI28WH3V3M16L	快断型，额定电流大于 6A，额定电压大于 60V
	5	25	JPI28WH05M25L	
	12	25	JPI28WH12M25L	
	15	25	JPI28WH15M25L	
	18	25	JPI28WH18M25L	
	24	25	JPI28WH24M25L	

1.设计要求

	28	25	JPI28WH28M25L	
	48	25	JPI28WH48M25L	
JPI24H				
18-36	3.3	33	JPI24H3V3M33L	快断型, 额定电流大于 4A, 额定电压大于 50V
	5	50	JPI24H05M50L	快断型, 额定电流大于 10A, 额定电压大于 50V
	12	50	JPI24H12M50L	
	15	50	JPI24H15M50L	
	18	50	JPI24H18M50L	
	24	50	JPI24H24M50L	
	28	50	JPI24H28M50L	
	48	50	JPI24H48M50L	
	5	25	JPI24H05M25L	快断型, 额定电流大于 4A, 额定电压大于 50V
	12	25	JPI24H12M25L	

1.设计要求

解耦电容的最佳值

可以通过在源和输入线阻抗后面放置解耦电容网络来避免交叉作用和确保系统的稳定性。解耦电容的最佳值在公式 1.2 中给出:

$$f_{SOURCE} = \frac{1}{2\pi\sqrt{(L_{EQ})(C_{DECOUPLE})}} \quad (1.2)$$

其中:

$$L_{EQ} = L_D + L_{IN}, \text{ 而}$$

L_{EQ} = 等效源电感,

L_D = 配电线路电感,

L_{IN} = 电源输出电感。

可以确定解耦电容器所需的 ESR 值通过使用源 LC 滤波器网络的特征阻抗。特征阻抗在公式 1.3 中给出:

$$R_{OSOURCE} = \sqrt{\frac{L_{EQ}}{C_{DECOUPLE}}} \quad (1.3)$$

对于上面的例子,源的峰值输出阻抗必须保持低于 JPI 控制环路带宽。因此,要找到去耦电容的最佳值, f_{source} 选为 4kHz。通过公式 1.2 代入 L_{EQ} 和 f_{source} 的值得出 $C_{DECOUPLE}$ 的值为 283 μ F。通过用等式 1.3 代入 L_{EQ} 和 $C_{DECOUPLE}$ 的值得出 ESR 值为 0.14 Ω 。附加去耦电容的系统模拟如图 1.1 所示。

图 1.1 和图 1.2 显示了源输出阻抗($Z_{total-source}$)和 JPI 的输入阻抗 (Z_{IN-JPI})仿真结果,这清楚地表明了很好阻尼的源输出阻抗。由于在源输出阻抗和 JPI 的输入阻抗之间存在大裕量,没有预期交叉。

差模输入滤波器

另一种降低源阻抗影响的方法是添加个良好阻尼输入滤波器。使用输入滤波其他优点是减弱传导电磁干扰(EMI)以及它提供输入电压噪音抑制。输入滤波器将在设计指南的附录部分详细讨论。包括输入滤波器模拟结果在图 1.3 中显示。如图 1.4 所示阻抗模拟结果,在总输出($Z_{TOTAL-SOURCE}$)和 JPI 的输入阻抗之间裕量很大,因此预计不会有任何相互作用。

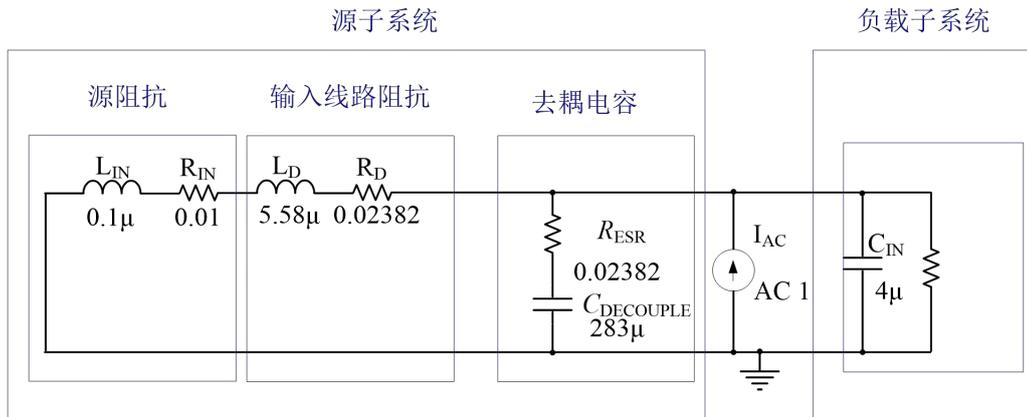


图 1.1 添加解耦电容的源和负载子系统

1.设计要求

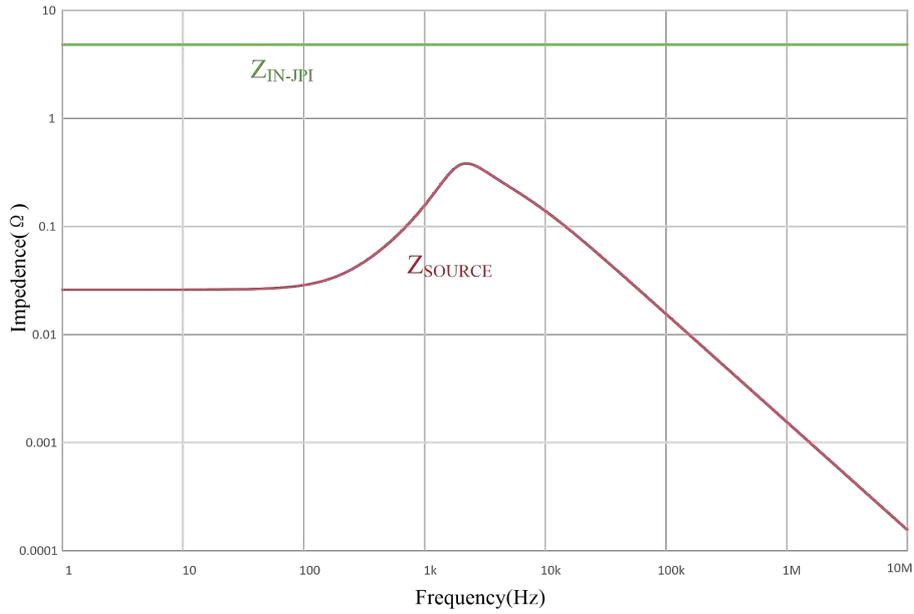


图 1.2 源的输出阻抗和 JPI 的输入阻抗 (添加去耦电容)

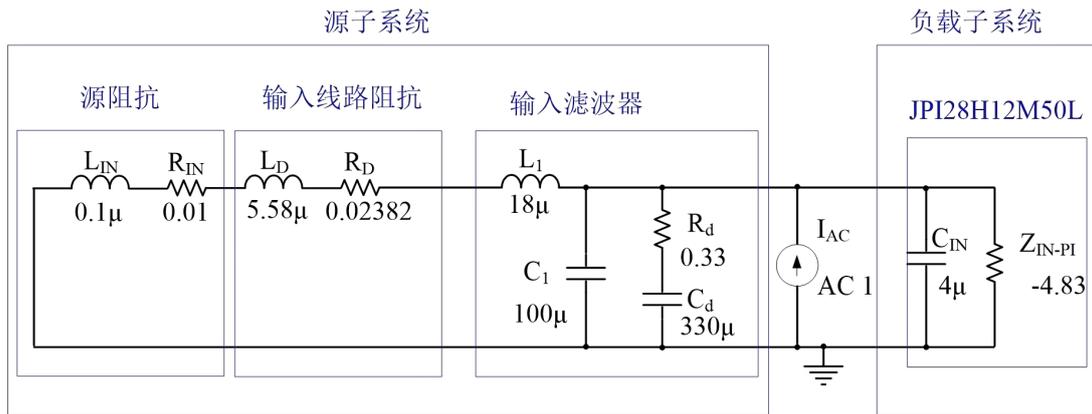


图 1.3 源及负载子系统实例 (带输入滤波器)

1.设计要求

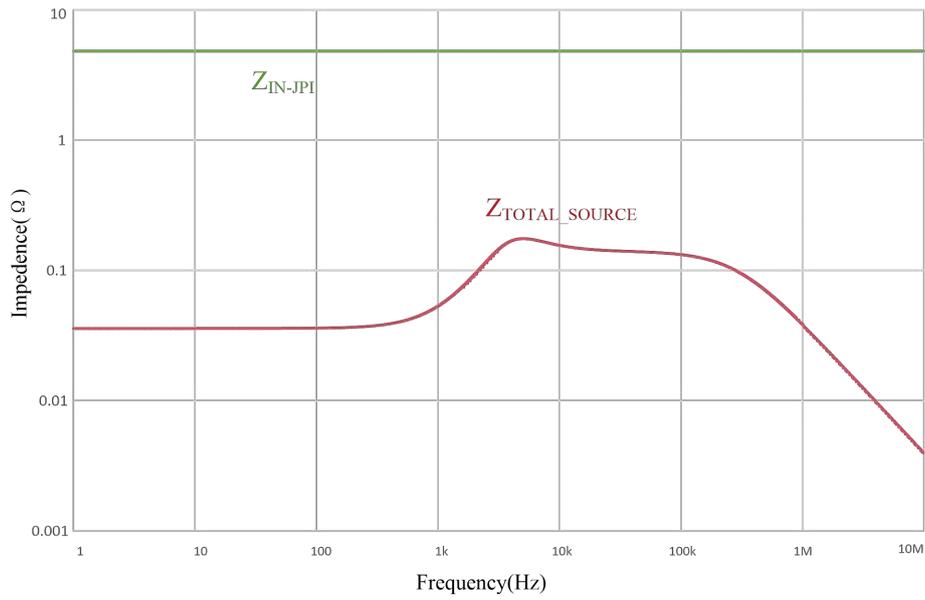


图 1.4 源输出阻抗和 JPI 的输入阻抗 (带输入滤波器)

1.设计要求

JPI 输出电容

为了保证 JPI 变换器的正常工作, 负载电容的值要在规格书定义的容性负载范围以内, 最大上限的要求是防止过触发输出电压欠压保护或者过流保护, 下限要求连同外部电容的最小 ESR 要求($R_{COUT-EXT}$), 是为了确保环路的稳定性。

任何输出电容和模块输出脚之间的阻抗都影响电源环路的稳定性问题。因此输出电容在实际布板中要离 JPI 变换器的输出脚很近。

备注: 在选择输出电容时, 工作/环境温度要考量进去。

输出电容的位置

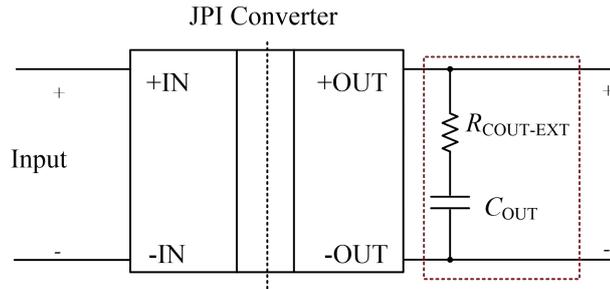


图 1.8 外部输出电容的位置

2.热管理

2. 热管理

本节提供了实现 ChiP JPI 有效热管理的设计指南。适当的热管理能改进的模块和系统的 MTBF, 并降低产品生命周期内的成本。JPI 模块采用高导热材料的一体塑封成型, 内部器件与模块表面的壳体之间具有低热阻的特性。

热量的传递有传导、辐射、对流三种换热方式。传导散热是将热量直接传给与之接触的温度较低物体的一种散热方式; 辐射散热是指高温物体以热射线的形式将体热传给外界较冷物质的一种散热方式; 对流散热是指通过气体流动进行热量交换的一种散热方式。由于 JPI 产品具有极高的功率密度, 极小的产品面积, 对流及辐射换热远低于传导散热的数量级, 以及实际使用时管控电源模块的表面温度 T_c , 所以在该专题研究中只考虑模块的传导散热。

效率和功耗

输出功率与输入功率之比定义为模块的效率, 如公式 2.1 所示。效率是一个基本的品质因数, 可用于将功耗直接与模块

输出功率相关联。功耗在公式 2.2 中给出。

$$\eta = \frac{P_{OUT}}{P_{IN}} \quad (2.1)$$

$$P_{DISS} = P_{OUT} * \left(\frac{1}{\eta} - 1\right) \quad (2.2)$$

式中 P_{DISS} 是转换器内部功耗, P_{OUT} 是输出功率, P_{IN} 是输入功率, η 是效率。评估散热要求的第一步是根据模块效率和最高预期负载功率计算最坏情况下的功耗。显然, 更高的效率将转化为更低的功耗并简化散热问题。

热电路模型

在许多应用中, 热量将从模块的顶部传导到连接的散热器或导热组件, 并通过模块引脚传导到 PCB, 如图 2.1 所示。JPI 电源模块在工程应用时, 模块内部的器件热量分别通过模块的顶面传导到散热器组件或导热组件上, 另外通过模块引脚传递到外部的 PCB 上。模块通过电路板的散热取决于模块周围有多少铜, 铜通过多少空气以及周围元件将多少热量耦合到 PCB 中。为了设计有效的热管理系统, 需要转换器的热模型。

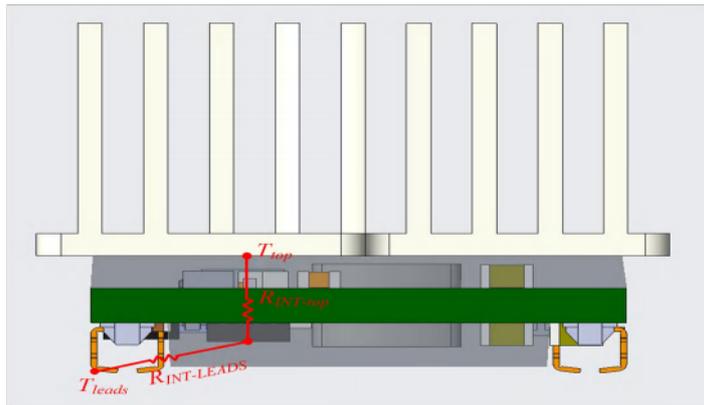


图 2.1 导热路径

已经为 ChiP JPI 产品创建了热电路模型, 以允许设计人员在用户定义的热环境中, 在已知电气条件下操作时估计产品的最大内部温度。图 2.2 显示了 ChiP JPI 的热等效电路模型。请注意, 产品的最高内部温度由单个温度节点 T_{INT} 表示。这些模型类似于电路, 包含电阻, 电流源和电压源。

在此类似电路模型中, 电阻以热阻替代, 单位为每瓦摄氏度 [$^{\circ}C/W$]。在图 2.2 中, $R_{INT-TOP}$ 和 $R_{INT-LEADS}$ 是 ChiP JPI 的顶侧和引线的热阻。电流源(P_{DISS})用作功率耗散源, 单位为瓦特[W]。电压源在该电路模型中用作类似的温度源, 单位为摄氏度 [$^{\circ}C$]。进行产品的广泛实验室测试, 以确保这些简

单的电模型足以满足其预测热性能的目的。

最高内部温度

电路模型中有一个单节点代表模块的最高内部温度。该最大内部温度节点是在任何和所有电气和热条件期间模块内的最大内部温度的虚拟表示-因此当电气和热操作条件改变时它可以改变位置。这些电路模型的最高内部温度应小于所考虑模块工作温度范围内的最高温度。它还假定 T_{TOP} , T_{BOTTOM} 和 T_{LEADS} 为等温的。例如, JPI28H12M50L(16-50V_{IN}, 12V_{OUT}, 50W)产品数据表的热阻值如表 2.1 所示

2.热管理

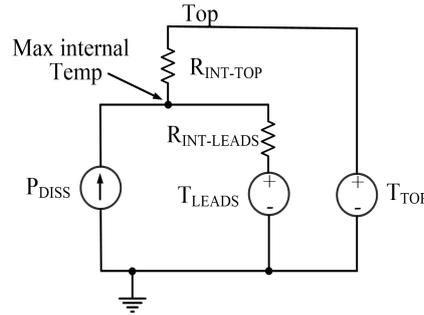


图 2.2 ChiP JPI 的热等效电气电路模型

表 2.1 JPI28H12M50L 的热电阻值

热阻				
顶侧热阻	$R_{INT-TOP}$	从等温顶部对最高温度内部组件的预估热阻典型值	3	$^{\circ}\text{C}/\text{W}$
引线热阻	$R_{INT-LEADS}$	从等温引线对最高温度内部组件的预估热阻典型值	5	$^{\circ}\text{C}/\text{W}$

当进行温度测量时，建议测量 JPI 模块顶部中心的位置，如图 2.3 所示

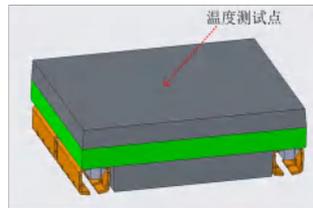


图 2.3 温度测量位置

散热器的安装

另外，PI 模块的散热方式一般采用上表面贴合散热的方式，一般分为两种安装方式：

1、PCB 外加散热器的方式

JPI 模块焊接到 PCB 之后，建议采用压杆外套弹簧的压紧机构，如图 2.4(a)所示，使 JPI 模块内部器件及引脚的受力在可控的范围内；如图 2.4(b)所示，如果采用支撑杆的方式固定散热器，需考虑 JPI 模块的高度公差及装配偏差，在 JPI 模块的上表面与散热器之间预留足够的间隙(建议填充导热胶传递热量)，防止 JPI 模块刚性压紧，内部器件与引脚因为机械应力而失效。

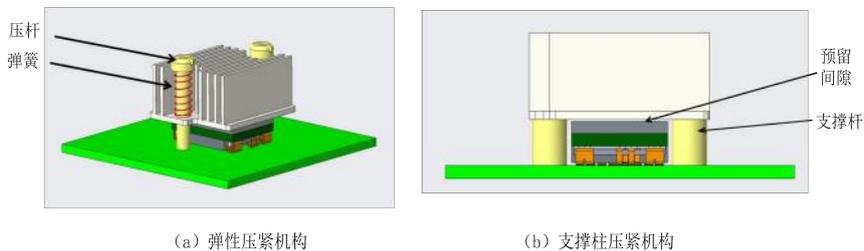


图 2.4 JPI 模块外置散热器安装方式

2、PCB 一面整体贴合散热

如果 PCB 采用单面贴合底板散热，焊接完的 JPI 与底板的贴合面之间保留足够的间隙(同图 2.4(b))，建议使用可固化的导热胶进行填充。

3.焊接注意事项

3. 焊接注意事项

焊接及清洁注意事项

由于有多种因素影响焊接时间,要列明真正焊接时间是十分困难的。简单而言,应在焊接后检查焊点是否高质量焊接。如有需要,可更改参数以保证过程稳定。下列是一些具体建议:

- 1.贴片式“J”型引脚,为保证焊接均匀和可靠,推荐采用回流焊进行焊接,不建议手工焊接模块。(注:如需使用真空回流焊或热风枪焊接,请提前与厂商联系,以获得最佳焊接效果。)
- 2.对于模块的焊接建议使用锡铅共晶焊料 Sn63Pb37,推荐钢网厚度 $\geq 0.15\text{mm}$ 以保证足够的锡膏量。
- 3.为减小引脚在后续使用中机械外力带来的不良影响,推荐使用在 150°C 以下快速固化单组分贴片红胶进行加固。在模块装配前施加在印制板上,每个模块底部施加2滴,胶点分布如图 3.1(模块底部对应位置)。

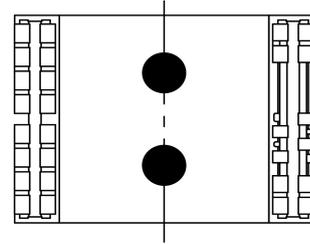


图 3.1 胶点分布示意图

- 4.焊接前,应确保焊盘和模块引脚底部是清洁的。
- 5.回流工艺有两个关键温度:焊点温度和模块外壳温度。焊点温度应达到有利于回流温度,而模块外壳温度在回流过程中任何时候都不得超过 225°C ,引脚温度应控制在 215°C 。在整个回流过程中,引脚和外壳温度之间的温差应保持在 10°C 以内。
- 6.回流过程中,将组件预热至 100°C 至 150°C ,并保持至少一分钟,以使焊膏中的溶剂蒸发。下一阶段是保温区,该温区助焊剂活化,助焊剂与待焊接面上的氧化物和污染物反应。然后组件将置于 183°C 液相线温度以上,以使焊料熔化。高于液相线(183°C)的典型时间最好为60~90秒。
- 7.焊接曲线及管控参数建议应符合如下图 3.2和表 3.1要求。

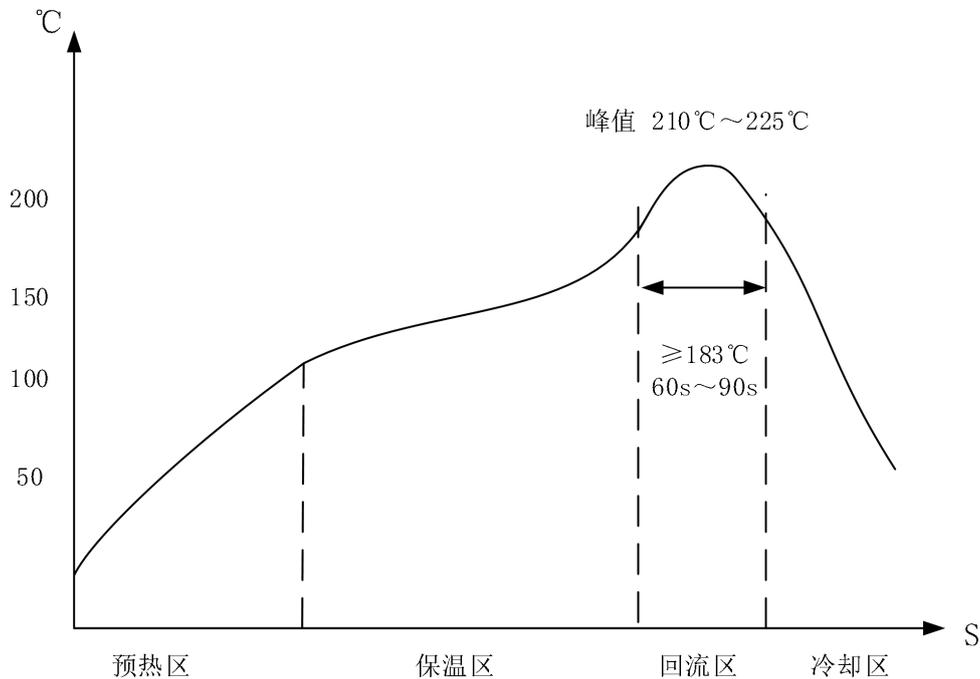


图 3.2 推荐焊接曲线

表 3.1 回流参数建议

3.焊接注意事项

管控项目	管控参数
引脚与模块壳体之间温差 (°C)	10
升温斜率(°C/s)	1 - 2
最小预热温度(°C)	120
最大预热温度(°C)	150
预热时间 (s)	90 ~ 120
液相线温度 (°C)	183
液相线(183°C)以上时间(s)	60 ~ 90
峰值温度(°C)	215°C
峰值温度 5°C内的时间 (s))	5 ~ 10
降温斜率(°C/s)	1-6
25°C至峰值温度时间 (min)	4-6

8.模块可承受 225°C的最高外壳温度，最多三次。MSL 处理时间被认为是累积的，暴露于环境条件的总时间，包括回流之间的时间，不应超过 MSL 5 的限制。暴露在环境条件下超过 48 小时需要在回流前在 125°C下重新烘烤 48 小时，以去除水分。

9.模块焊接时，模块不应受力，模块顶部不应有压合。

10.如果使用水溶性焊料，可以用去离子水对板材进行水洗。免清洗焊料可清洗，但会在板表面留下残留物。如果需要清洗，可以使用异丙醇或无水乙醇。建议清洗后对产品烘干处理。

拆除已焊接模块

由于拆除模块的过程会增加模块所承受的机械应力和热应力，可能会损坏模块，因此，电源模块拆除后不能重复使用。

4.附录

4. 附录

可选外围电路设计

1. 输入源与阻抗

A. 在总源阻抗计算中注意源阻抗 L_{IN} 与 R_{IN} ，参见一般性注释 A。

2. 输入线阻抗

A. 在计算总源阻时注意线阻 L_D 与 R_D 。遵循一般性注释 A 的指示。

3. 去耦电容器

A. 选择去耦电容的最佳值，以补偿源阻抗和输入线路阻抗(Z_{SOURCE} 点给出了望入源与线路的戴维南(Thevenin) 等效阻抗)

B. 必须妥善选择 $R_{ESR_DECOUPLE}$ ，以提供最佳阻尼。通过选择与所需值相近的具 ESR 的铝电解电容，可免除外部阻尼电阻,可以满足 $R_{ESR_DECOUPLE}$ 的要求。

4. 安全

A. 如果 JPI 发生故障（如输入短路），则必须使用保险丝来降低火灾和电路板损坏的风险。

B. 从 JPI 产品系列页面的“安全要求”部分选择推荐的保险丝。

5. 差模输入滤波器

A. 开关转换器是差模噪声的来源，使用差模滤波网络来抑制差模噪声

B. 选择远低于 JPI 交叉频率(20kHz)的输入滤波器的截止频率。

C. 输入滤波器必须有良好的阻尼，以避免输入电压的振铃。从 Z_{OUT_FILTER} 望回的输入滤波阻抗必须比 JPI(Z_{IN_JPI})的输入阻抗低十倍。

6. 压摆率

JPI 输入引线(+IN,-IN)的输入电压压摆率必须小于 $1V/\mu s$ 。

7. 共模滤波网络

A. 开关转换器属于共模噪声源; 为抑制共模噪声, 必须将 Y 型电容器(C_{Y3_6})从 +IN、-IN、+OUT、-OUT 连接至接地/机箱接地。

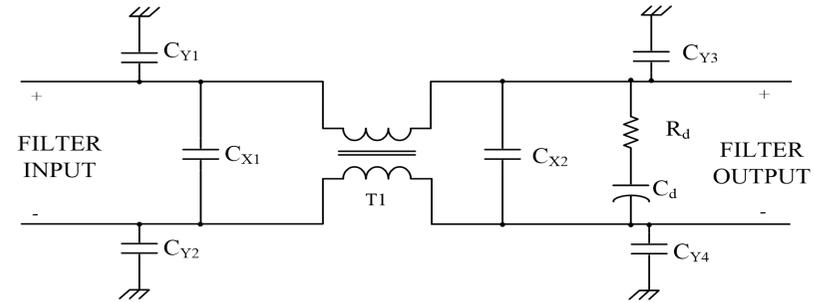
B. Y 型电容器必须尽可能靠近模块的输入和输出引脚。

11. 控制引脚电路

C. Y 型电容器的选择必须符合应用安全标准。推荐使用 Y2 子分类的 Y 型电容器，其典型电容值为 $4700pF$ ，并具有适合的峰值电压额定值。

D. 可选 EMI 滤波器：为了满足 EMI 要求或者更好的共模噪声衰减规格，请在 JPI 的输入端使用共模扼流圈 T1 和 Y 型电容器(C_{Y1_4})。在 JPI 的输出端可以使用类似的共模滤波网络，以满足输出端的 EMI 要求。参见共模输入滤波器设计注意事项。

可选 EMI 滤波器



8. 输出电容器

A. 为了控制回路的稳定性，输入电容器必须在 C_{OUT_EXT} 数据表规格的最小/最大范围内，最小 $R_{ESR_OUT_EXT}$ 为 $10m\Omega$ 。

· 选用 ESR 至少为 $10m\Omega$ 的铝电解电容器，可满足 $R_{ESR_OUT_EXT}$ 的要求。

B. C_{OUT_EXT} 实际安放位置必须在模块的输出引脚附近。

C. 在选择输出电容器时，必须考虑工作/环境温度。

9. 差模输出滤波器（可选）

A. 使用差模式滤波器网络抑制由开关变换器产生的差模噪声。

B. 所选输出滤波器的截止频率应至少比开关频率低十倍。

C. 输出滤波器必须有良好的阻尼，以避免输出电压振铃。

D. 对于高频噪声衰减，请在 C_3 使用多个低 ESR 值电容器，如陶瓷电容器。

10. 输出线路阻抗

负载调节率会因输出线路阻抗过大而降级。为了在负载端具更好调整率，将输出线路阻抗保持在最低。

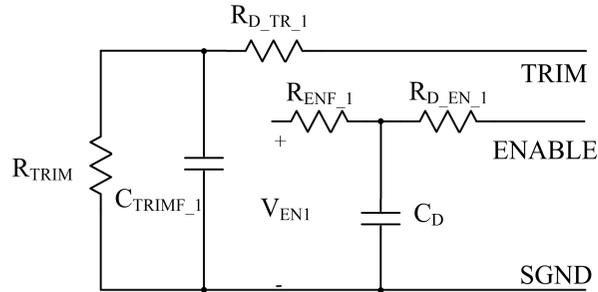
A. 控制引脚 TRIM、ENABLE、TM 上的电路必须使用开尔文直接参照 SGND 的模块输入引脚。

4.附录

B. 可选噪声滤波器: 为了防止外部噪声, TRIM 和 ENABLE 引脚或需要 RCR 滤波器网络。 $R_{D_TR_1}$ 、 $R_{D_EN_1}$ 用于降低由外部电感引起的噪声。

C. 如果不需要控制/监视功能, 则无需连接信号引脚。

可选噪声滤波器



一般性注释:

A. 源阻抗及其对稳定性的影响

• JPI 的总源阻抗和输入阻抗之间的相互作用将导致稳定性问题。为了避免互相作用,

返回到源(Z_{TOTAL_SOURCE})的总阻抗必须至少比 $JPI(Z_{IN-JPI})$ 在频率范围 0Hz 到最大控制环路带宽范围内的输入阻抗低十倍:

$$Z_{TOTAL_SOURCE} \leq (Z_{IN-JPI}/10) \text{ for all } F[0 : 5\text{kHz}]$$

B. 环境条件

• 必须保护转换器不受潮湿、灰尘、爆炸或危险大气等环境条件的影响。在可能遭遇较高的工作温度和电压的工作环境中, 为了安全起见必须将 JPI 密封。

• 过热、过冷和过热冲击会导致 Chip 损坏

• JPI 不应暴露在冷凝水气中。

C. ChiP 焊接

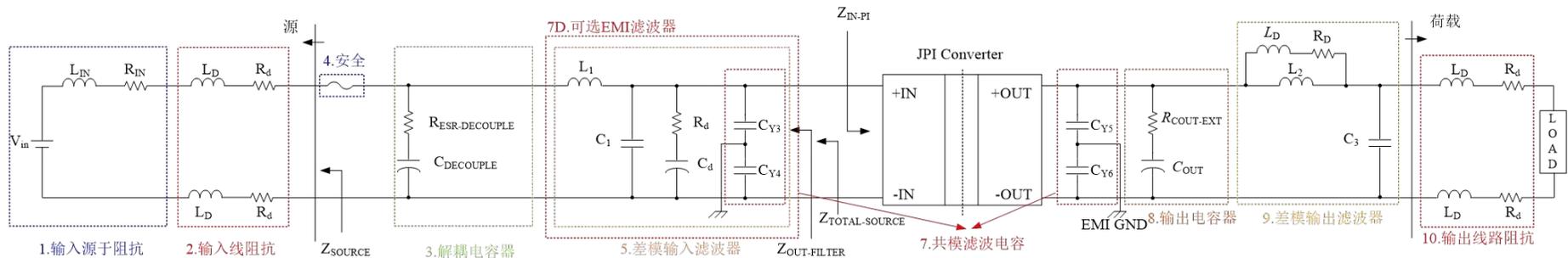
• 在 ChiP 焊接工序后清洁 PC 电路板, 去除助焊剂残留。

D. ChiP 热管理

• 可以从芯片的顶部和底部散热, 也可以通过引线散热。

E. 散热片的机械压缩力

• 过大的 z 轴压力会导致引线的电学参数变化和机械形变。



4.附录

共模输入滤波器设计

共模噪声电流的产生是因为存在寄生电容，包括初级侧 MOSFET 漏极与 EMI 地平面或外壳之间的电容耦合，或者是变压器初级到次级绕组电容。

功率 MOSFET 切换期间，在 MOSFET 漏极与 EMI 接地层之间寄生电容两端耦合生成高 dV/dt ，这种电压变化将噪声电流注入共模路径。共模噪声电流通过电源输入端子正和负和通过接地平面闭环回路传播到电源端，如图 4.1 中的红色箭头所示。噪声电流是幅度相等和共相的。

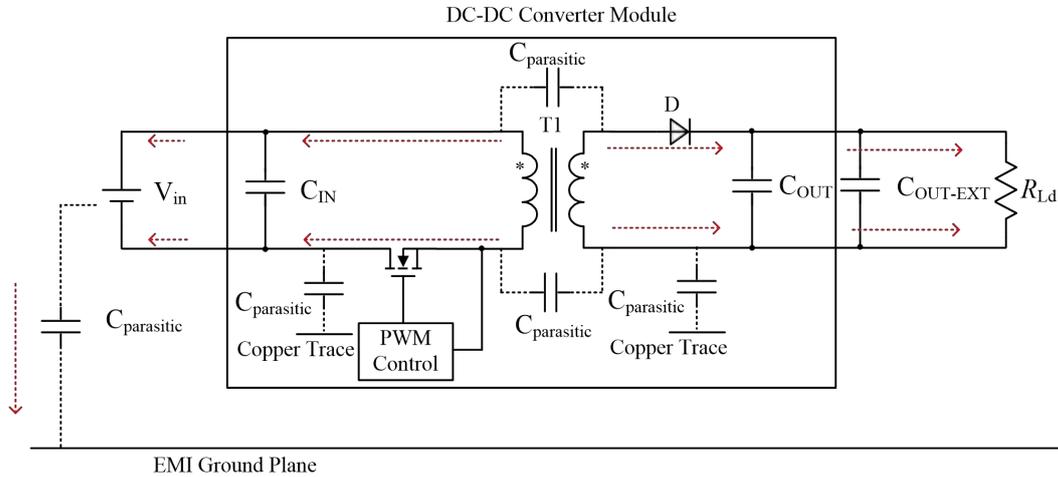


图 4.1 共模噪声电流路径

噪声抑制技术

共模噪声电流可通过在正负输入线放置串联的高阻抗和在每个输入线到 EMI 地平面通路放置低阻抗衰减。

典型的共模输入滤波器如图 4.2 所示，由共模扼流圈(T_1)，Y 电容(C_{Y1-4})，X 电容($C_{X1,2}$)和阻尼网络(R_d , C_d)组成。滤波器输出连接到 JPI 输入，滤波器输入连接到上级电源，如图 4.3 所示。共模扼流圈电感提供串联到由 DC-DC 转换器产生的共模噪声的高阻抗路径，Y 电容器提供通往 EMI 地面

的低阻抗路径。因此，必须把 Y 电容靠近 DC-DC 转换器输入端，这能够最小化走线阻抗。由于共模噪声电流方向的原因，一个理想的共模扼流圈提供共模电感，而差模噪声电流方向在每个绕组中相反，磁芯中的所有磁通量都会抵消。但是，在实际例子中，共模扼流圈由于两个绕组的不完美耦合而产生漏感或差模电感，即由一个绕组产生的磁通量不会与其他绕组耦合。漏感典型值是共模电感感值的 1 - 1.5%。可以通过漏电感和 X 电容 (C_{X2}) 来形成差模滤波器网络。因此，共模滤波器对差分模式噪声有一定程度的衰减。

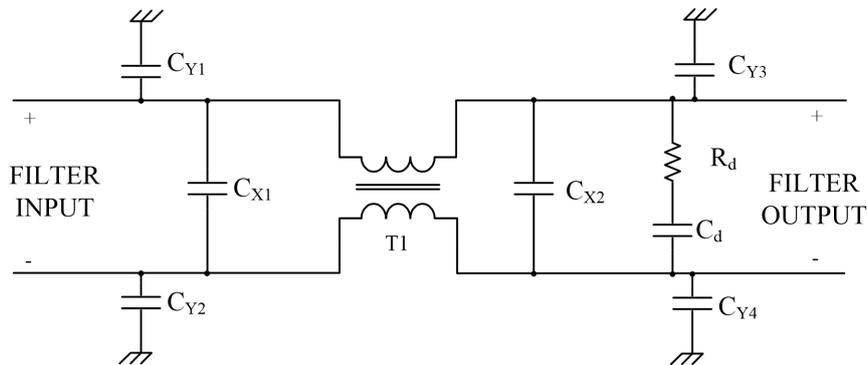


图 4.2 典型的共模滤波器电路

共模噪声滤波器设计步骤

1.使用 EMI 频谱分析仪在感兴趣的频率范围内确定 AC 纹波幅度(包括差模噪声和共模噪声)并将测量的 AC 纹波幅度与

4.附录

EMI 标线进行比较。

2. 确定所需的差模和共模噪声衰减并定义差模和共模滤波器转折频率。

3. 选择共模扼流圈, 使其提供在共模噪声频率范围内的高阻抗。

4. 计算满足所需滤波器衰减特性的 Y 电容的量。

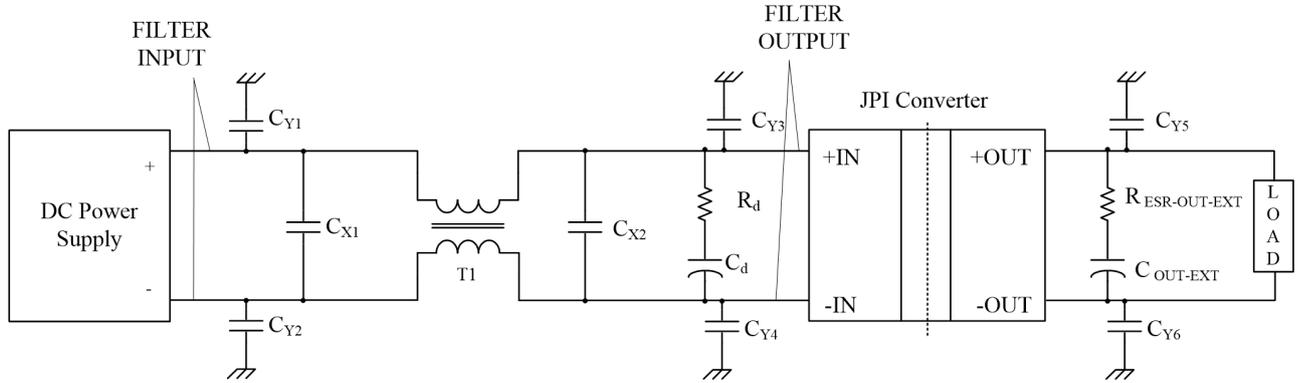
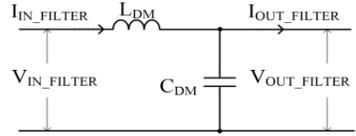
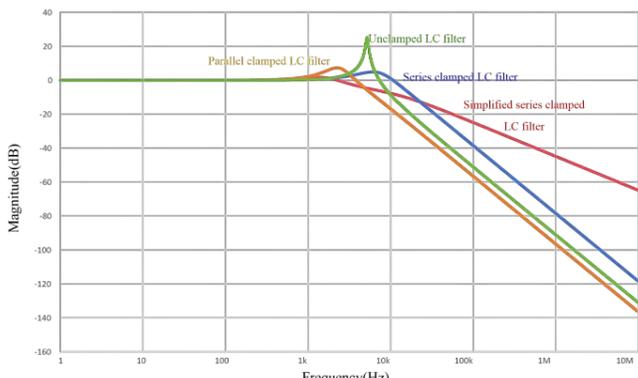
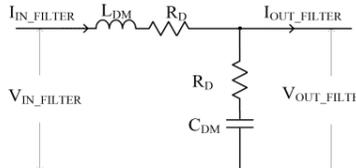
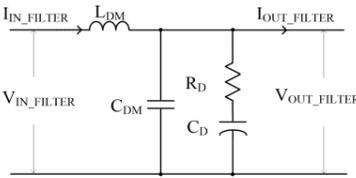
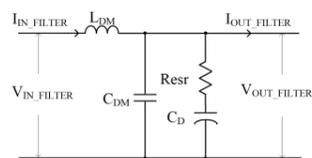
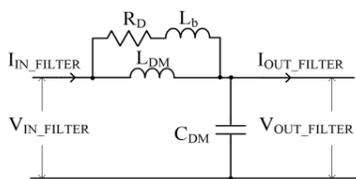
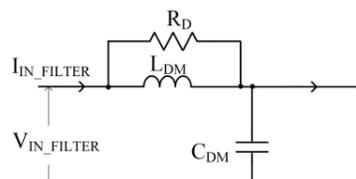


图 4.3 典型的共模噪声滤波器应用

4.附录

输入滤波器设计

滤波器拓扑和常见注意事项	方程和注释	优势	缺陷
<p>无阻尼 LC 滤波器</p> 	<p>频率响应图 (电压/电流传递函数)</p> <p>根据对偶性质, 从输入侧看电压传递函数与从输出侧看电流传递函数相同。</p> $TF = \frac{V_{OUT_FILTER}}{V_{IN_FILTER}} = \frac{I_{OUT_FILTER}}{I_{IN_FILTER}}$ 	<p>SPICE 模型中理想元件在谐振频率下的 Q 因子是无穷大的。</p> <p>可以使用串联电阻实现阻尼, 如下所示:</p> <p>阻尼 LC 滤波器</p> 	<ul style="list-style-type: none"> 组件数量最少。 滤波器尺寸较小。 成本更低。 <ul style="list-style-type: none"> 在谐振点有峰抖 与电感 L_{DM} 串联的阻尼电阻降低了滤波器的效率, 串联电容 C_{DM} 的阻尼电阻降低了滤波器的衰减特性
<p>并联阻尼 LC 滤波器</p> 	<p>截止频率:</p> $f_c = \frac{1}{2\pi\sqrt{(L_{DM})(C_{DM})}} \text{ (Hz)}^{[a]}$	<p>阻塞电容值: $C_d = nC_{DM}$</p> <p>峰值输出阻抗:</p> $Z_{OUT-FILTER} = R_o \frac{\sqrt{2(2+n)}}{n}$ <p>阻尼电阻值:</p> $R_d(\text{optimum}) = R_o \frac{\sqrt{(2+n)(4+3n)}}{2n^2(4+n)}$	<ul style="list-style-type: none"> 在谐振/截止频率下, 电容器 C_d 必须具有比 R_d 低的阻抗和比滤波器电容 C_{DM} 更大的阻抗 R_d-C_d 并联分支可替换为较高 ESR 值的电容器类型 (铝电解或钽), 如下所示: 
<p>串联阻尼 LC 滤波器</p> 	<p>其中 L_{DM} = 滤波器电感</p> <p>C_{DM} = 滤波电容器</p> <ul style="list-style-type: none"> 截止频率必须低于变换器的交叉频率。 谐振 $\omega L_{DM} = 1/\omega C_{DM}$, 特性阻抗: $R_o = \sqrt{\frac{L_{DM}}{C_{DM}}}$	<p>阻塞电感值: $L_b = nL_{DM}$</p> <p>峰值输出阻抗:</p> $Z_{OUT-FILTER} = R_o \sqrt{2n(1+2n)}$ <p>阻尼电阻值:</p> $R_d(\text{optimum}) = R_o \frac{\sqrt{n(1+2n)(3+4n)}}{2(1+4n)}$	<ul style="list-style-type: none"> 电感 L_b 在滤波器谐振频率处的阻抗幅值必须小于 R_d 滤波器尺寸相比并联阻尼 LC 滤波器较细小。 成本更低。 <ul style="list-style-type: none"> 高频衰减恶化。
<p>简化的串联阻尼 LC 滤波器</p> 	<ul style="list-style-type: none"> 所有的拓扑都是一个二阶系统, 提供每十倍频-40dB 的滚降 ([a]见简化串联阻尼 LC 滤波器的具体注意事项)。 	<p>[b] 简化的串联阻尼 LC 滤波器是一种二阶系统, 理想情况下可提供每十倍频-40dB 的滚降, 但由于高频零点 $f_z = R_d/(2\pi L_{DM})$, 滚降为每十倍频-20dB。</p>	<ul style="list-style-type: none"> 与并联阻尼和串联阻尼滤波器相比, 元件数目较少。 高频衰减恶化。

设计步骤:

1. 选择低于 JPI 交叉频率的截止频率。
2. 选择基于最大输入电流的电感 L_{DM} , 使用上文的公式[a]计算 C_{DM}
3. 选择适当的滤波器网络, 并根据公式和注释计算元件值。
 - a. 假设峰值输出阻抗 $|Z_{out_Filter}|$ 至少比开关变换器的输入阻抗低十倍。

部件选择:

1. 选择电感(L_{DM})和电容(C_{DM})的自谐振频率(SRF)高于变换器的开关频率。
2. C_{DM} 使用多个陶瓷电容器并联。将有效减低高频噪声。
3. 使用专为滤波设计的低 Q 值器

4.附录

1. 无阻尼 LC 滤波网络

图 4.4 所示的无阻尼输入滤波器电路是二阶低通滤波器电路，提供高频下降斜率 $-40\text{dB}/\text{decade}$ 。这个滤波器的共振频率，也是在考虑电压响应时称为截止频率，由以下表达式给出：

$$f_c = \frac{1}{2\pi\sqrt{(L_{DM})(C_{DM})}}$$

滤波器输出阻抗峰值也会出现在这个同样频率 f_c 。在谐振频率，理想元件的 Q 因数是无限的。然而，滤波组件内的寄生电阻将限制峰值响应。尽管如此，在共振频率附近的无阻尼 LC 滤波器的输出阻抗非常大。在共振条件下 $\omega L = 1/\omega C$ ，特性阻抗 R_0 由下式给出：

$$R_0 = \sqrt{\frac{L_{DM}}{C_{DM}}}$$

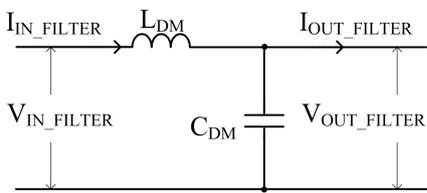


图 4.4 无阻尼 LC 滤波器

滤波器阻尼

电感和电容的寄生电阻将提供阻尼，但可能不足以减轻共振

峰值到可接受的程度。一种解决方案是提供额外的阻尼，通过串联外部电阻到电感和电容，可以实现额外的阻尼，如图 4.5 所示。但是一个阻尼电阻与电感串联会增加损耗，阻尼电阻与电容器串联会降低衰减特性。因此，串联/并联阻尼技术优于无阻尼 LC 滤波器。

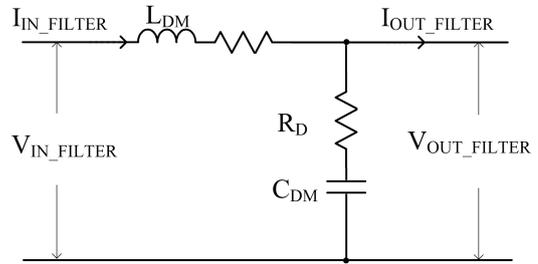
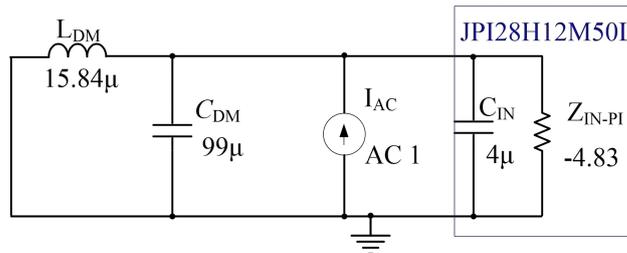


图 4.5 采用串联电阻器进行阻尼

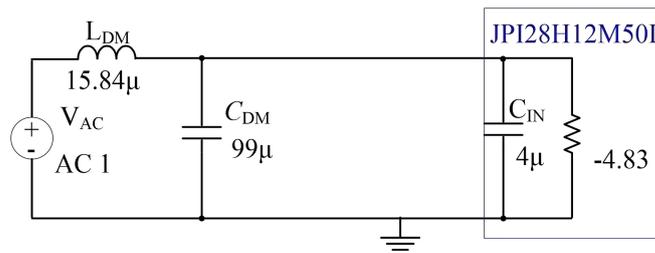
设计范例

JPI28H12M50L(16-50V_{IN}, 12V_{OUT}, 50W)如图所示，使用无阻尼 LC 输入滤波器在 spice 中进行模拟具体见图 4.6。要测量滤波器的输出阻抗，将独立输入电压源(VDC)短路和在滤波器的输出端注入 AC 电流，如下所示图 4.6(a)中。可以通过滤波器的输入端注入交流电压信号如图 4.6(b)所示获得滤波器衰减特性。

在该设计示例中，滤波器的截止频率 f_c 为 4kHz。通过选择电感 $L_{DM}=15.84\mu\text{H}$ ，得到 C_{DM} 的值为 $99\mu\text{F}$ 。



(a)输出阻抗仿真



(b)传递函数仿真

4.附录

图 4.6 无阻尼 LC 滤波器网络与 JPI 负输入阻抗

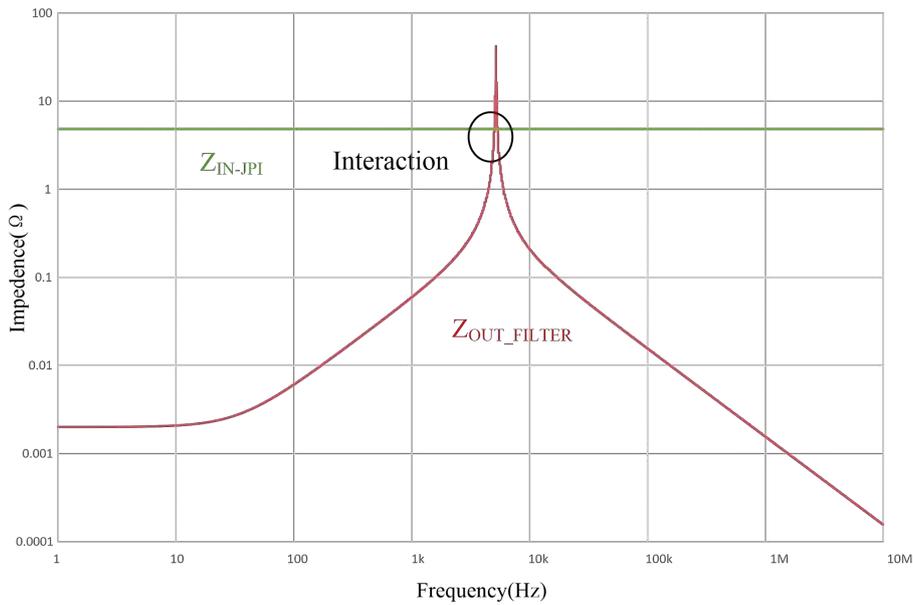


图 4.7a 无阻尼 LC 滤波器的输出阻抗与 JPI 负增量输入阻抗

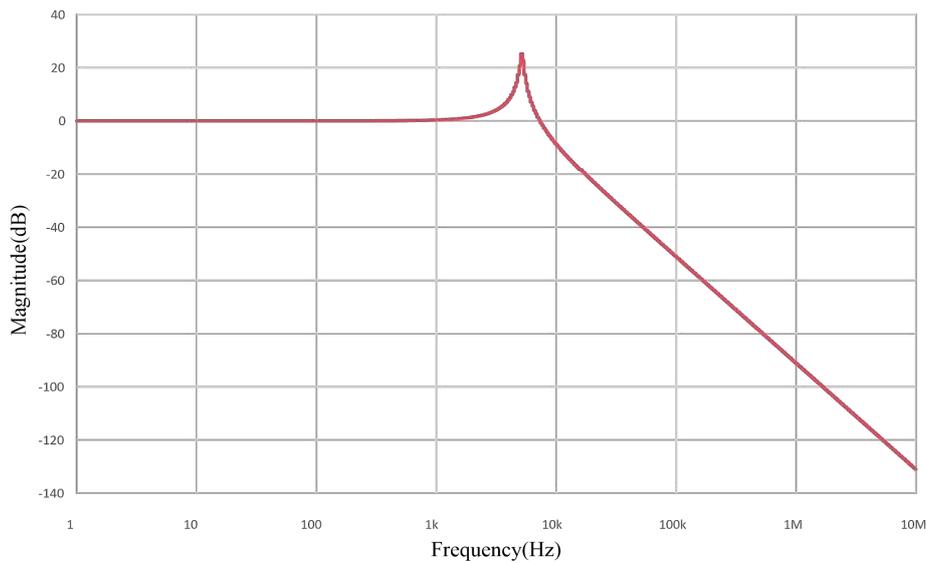


图 4.7b 无阻尼 LC 滤波器的电压传输函数

根据频率响应图,如图 4.7b 所示,满足滤波器的衰减目标。然而,在谐振情况下(如图 4.7a 所示),输入滤波器的输出阻抗与 JPI 的输入阻抗有相互交叉作用。在这种情况下,可能会出现潜在的稳定性问题,导致输入电压的振荡。为了避免不稳定,输出阻抗的峰值幅度必须比 JPI 的输入阻抗低十倍以上;这可以通过使用适当的阻尼方案实现。

注意:由于进一步讨论的输入滤波器网络拓扑是基于无阻尼 LC 滤波器网络,阻尼滤波网络的谐振频率 f_c 和下降斜率将保持不变。

2. 并联阻尼滤波器网络

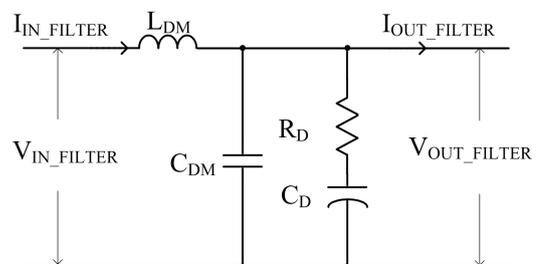


图 4.8 采用串联电阻器进行阻尼

并联阻尼滤波器是通过将串联的阻尼电容器(C_d)和阻尼电阻(R_d)构成的分支网络并联连接到无阻尼 LC 滤波器网络来

4.附录

得到的，如图 4.8 所示。在图 4.8 中，电阻 R_d 在截止频率处降低滤波器的输出峰值阻抗。电容器 C_d 阻断输入电压的直流分量，防止 R_d 过度耗散功率。在谐振/截止频率下，电容器 C_d 必须具有比 R_d 低的阻抗和比滤波器电容器 C_{DM} 更大的阻抗，以便不影响主 LC 滤波器的截止频率点。因此，与电容器 C_{DM} 相比，必须选择更大的隔阻电容器的值。隔阻电容的值由下表达式给出： $C_d = nC_{DM}$ 。

为了确定 n 的值和 R_d 的最佳值，必须选择滤波器的峰值输出阻抗值。

最佳峰值输出阻抗值设计由下式给出：

$$Z_{OUT-FILTER} = R_o \frac{\sqrt{2(2+n)}}{n}$$

$$\text{Where } R_o = \sqrt{\frac{L_{DM}}{C_{DM}}}$$

导致最佳阻尼效果的阻尼电阻的值由下式给出：

$$R_d(\text{optimum}) = R_o \frac{\sqrt{(2+n)(4+3n)}}{2n^2(4+n)}$$

设计范例

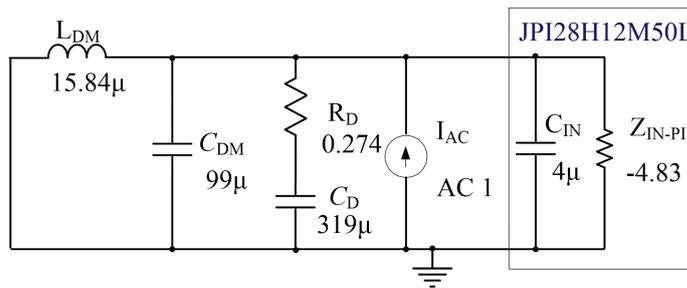
再次考虑前面提到的无阻尼 LC 滤波器设计示例中相同的滤波器要求。总之滤波器旨在满足峰值输出阻抗不变，比 JPI 的输入阻抗低十倍以上。

$$R_o = \sqrt{\frac{L_{DM}}{C_{DM}}} = 0.4$$

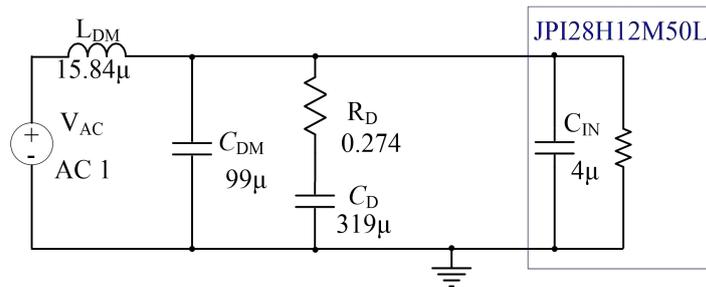
可以得到 $n=3.23$

因此， $R_d(\text{最佳})=0.274$ ， $C_d=319\mu\text{F}$

已经在 spice 中进行了滤波器的模拟来验证滤波器的衰减特性，如图 4.9 所示。



(a)输出阻抗仿真



(b)传递函数仿真

图 4.9 并联阻尼滤波器网络与 JPI 负输入阻抗

4.附录

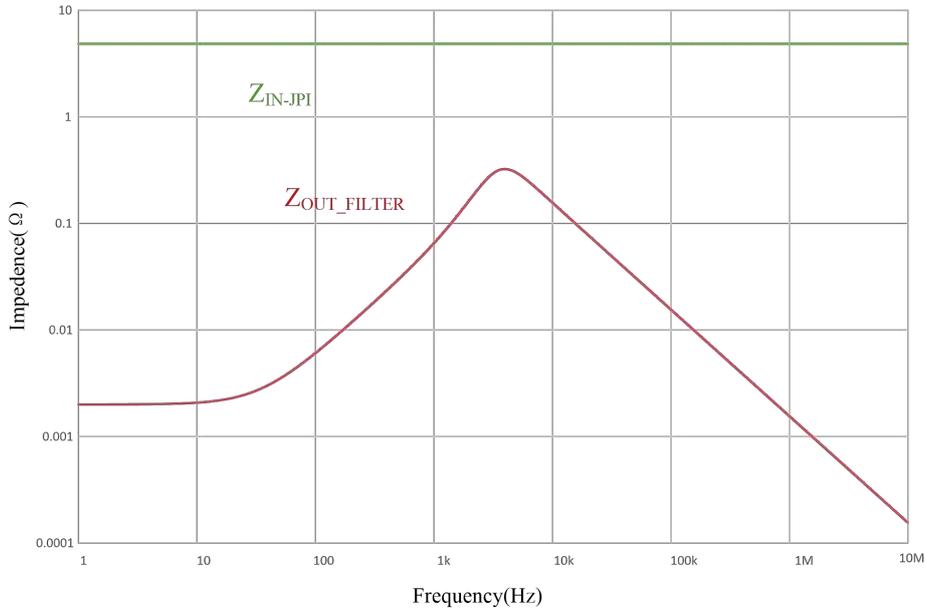


图 4.10a 并联阻尼滤波器的输出阻抗与 JPI 负输入阻抗

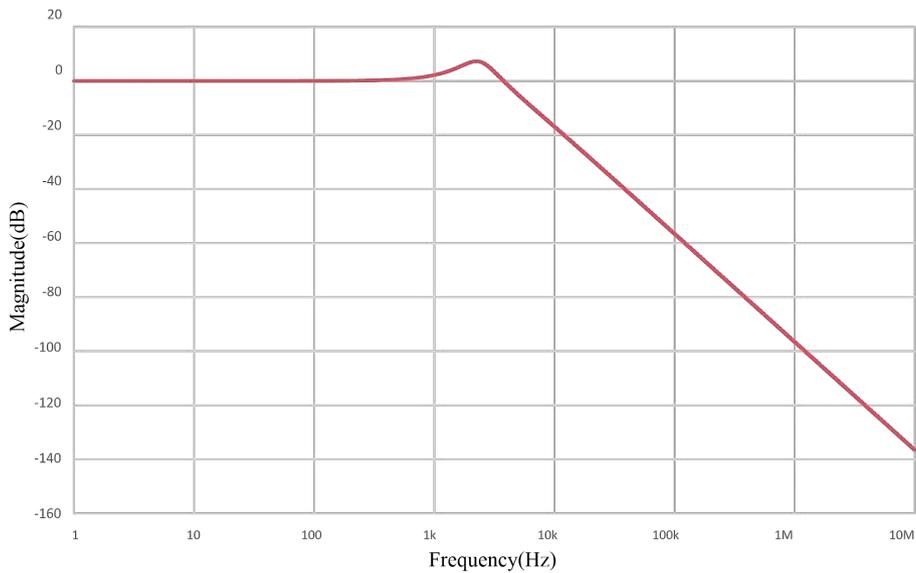


图 4.10b 并阻尼滤波器的电压传递函数

2a. 简化并联阻尼网络

并联阻尼网络的简化版本如图 4.11 所示。为了减少滤波器的元件数量，如图 4.8 所示，隔阻电容器 C_d 和串联电阻器 R_d 可以用具有更高串联电阻(ESR)有效值的电容器代替。通常是铝电解或钽电容器类型提供更高的 ESR。因此，组件数量减少了。

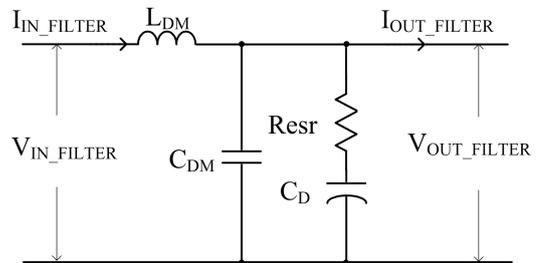


图 4.11 简化的并联阻尼输入滤波器网络

4.附录

3.串联阻尼滤波器网络

串联阻尼滤波器通过将串联的阻尼电感(L_b)与阻尼电阻(R_d)组成的阻塞分支和再和滤波电感 (L_{DM}) 并联最后接入到无阻尼 LC 滤波器网络来实现, 如图 4.12 所示。电感器 L_b 使滤波器达到在高频下表现出两个极点衰减特性。

因此, 选型时, 阻塞电感器 L_b 的值与滤波电感器 L_{DM} 相比要更小。阻塞电感的值由表达式 $L_b = nL_{DM}$ 给出。峰值输出阻抗值的最佳设计由下式给出:

$$Z_{OUT-FILTER} = R_o \sqrt{2n(1+2n)}$$

$$\text{Where } R_o = \sqrt{\frac{L_{DM}}{C_{DM}}}$$

导致最佳阻尼效果的阻尼电阻的值由下式给出:

$$R_d(\text{optimum}) = R_o \frac{\sqrt{n(1+2n)(3+4n)}}{2(1+4n)}$$

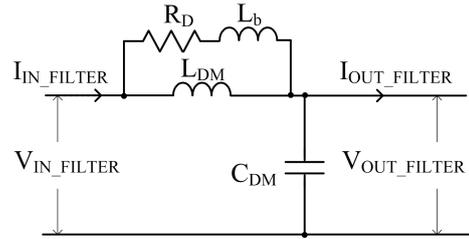


图 4.12 串联阻尼输入滤波器网络

设计实例

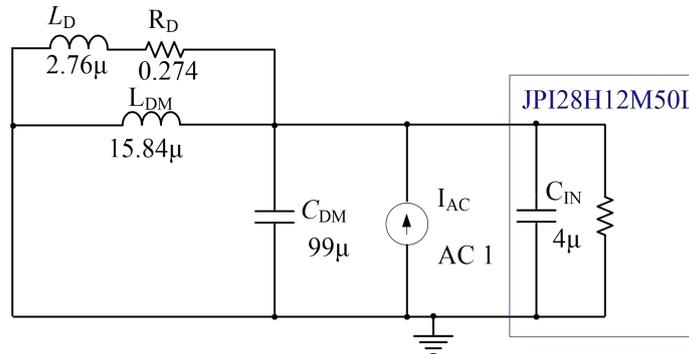
同样, 考虑到与无阻尼 LC 滤波器类似的衰减特性, 确定 n 的值和 R_d 的最佳值, 峰值滤波器的输出阻抗 ($|Z_{OUT-FILTER}|$) 不变, 比 JPI 的输入阻抗低十倍以上。

$$R_o = \sqrt{\frac{L_{DM}}{C_{DM}}} = 0.4$$

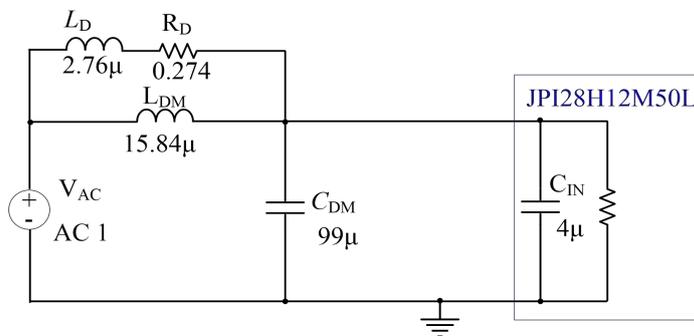
可以得到 $n=0.309$

因此, $R_d(\text{最佳})=0.274$, $L_d=2.76\mu\text{H}$

已经在 spice 中进行了滤波器的模拟来验证滤波器的衰减特性, 如图 4.13 所示。



(a)输出阻抗仿真



(b)传递函数仿真

图 4.13 串联阻尼滤波器网络与 JPI 负输入阻抗

4.附录

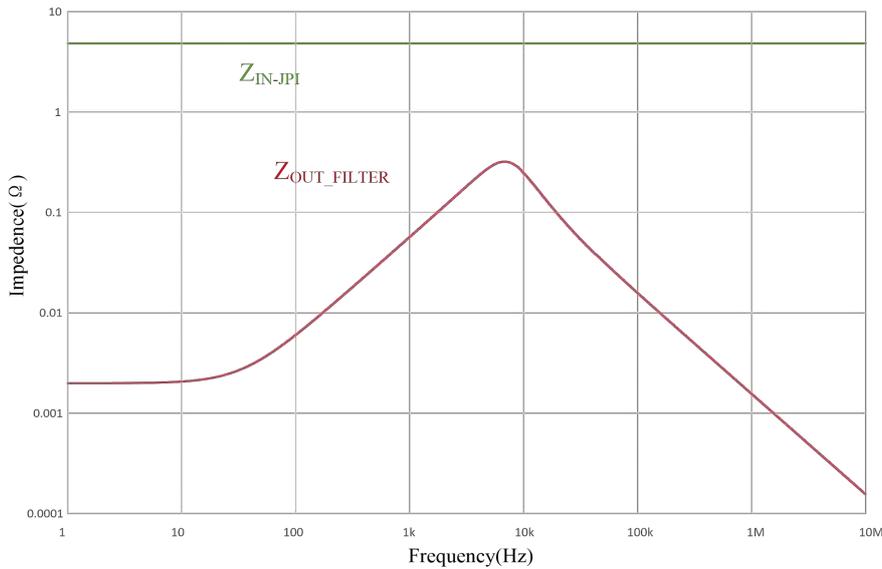


图 4.14a 串联阻尼滤波器的输出阻抗与 JPI 负输入阻抗

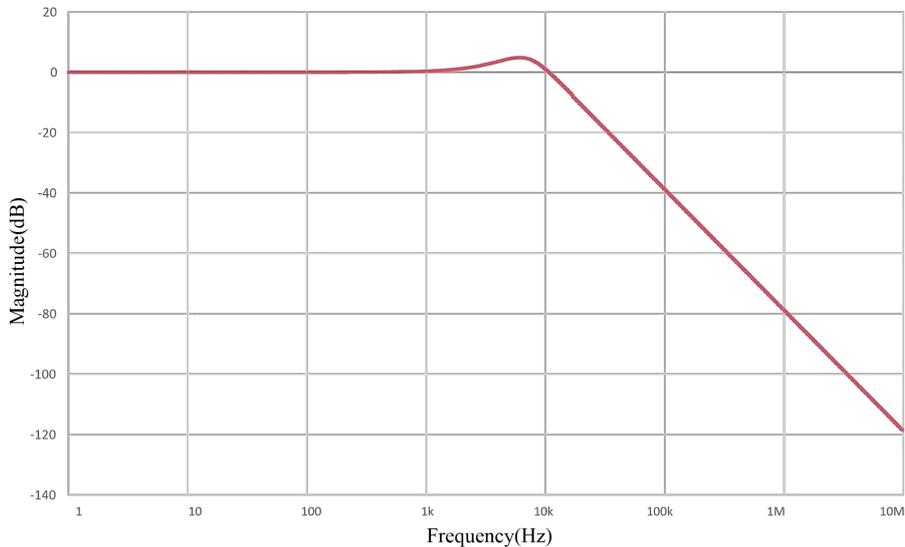


图 4.14b 串联阻尼滤波器的电压传递函数

从输出阻抗与频率的曲线中如图 4.14a 所示，可以观察到滤波器的输出阻抗比 JPI 的输入阻抗低十倍以上。滤波器在 900kHz 时具有 -80dB 的衰减特性，下降斜率 -40dB / decade。

4.简化串联阻尼滤波器网络

简化串联阻尼滤波器通过并联连接由阻尼电阻(R_d)组成的阻塞分支和滤波电感(L_{DM})并最后接入到无阻尼 LC 滤波器网络，如所示。理想情况下，简化的串联阻尼 LC 滤波器必须提供二阶斜率 -40dB / decade。但问题是该电路的传递函数包含高频零点 $f_z = R_d / (2\pi L_{DM})$ 。因此，增加阻尼电阻 R_d 降低高频渐近线的斜率 40dB / decade 至 -20dB/decade。因此，这个电路实际上是一个单极点 RC

低通滤波器， L_{DM} 没有提供衰减。

设计实例

再次考虑从无阻尼 LC 滤波器的设计实例看衰减特性。简化串联阻尼滤波器模拟工作已使用仿真工具 spice 进行，如图 4.13 所示。选择 R_d 的值为 0.274Ω。从频率响应图中可以观察到滤波器输出阻抗比 JPI 输入阻抗低十倍以上，但是由于存在高频零点，滤波器衰减在 900kHz 时，特性会降低到 -44dB，同时斜率为 -20dB / decade，如图 4.17a 所示。

4.附录

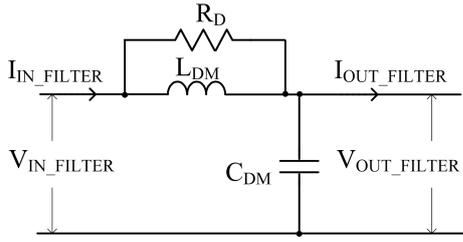
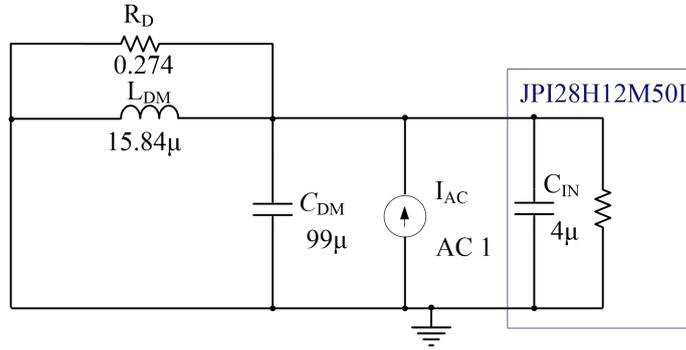
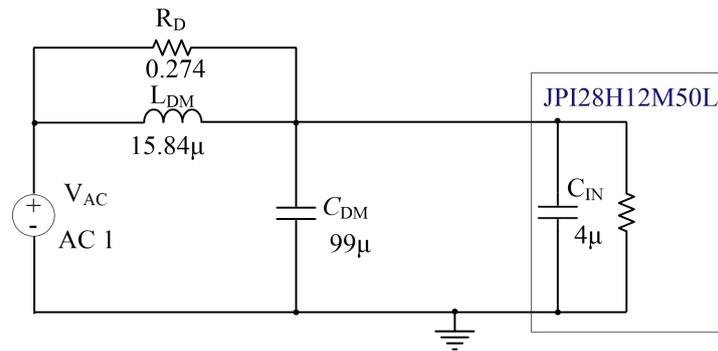


图 4.15 简化的串联阻尼输入滤波器网络



(a) 输出阻抗仿真



(b) 传递函数仿真

图 4.16 简化的串联阻尼滤波器网络与 JPI 负输入阻抗

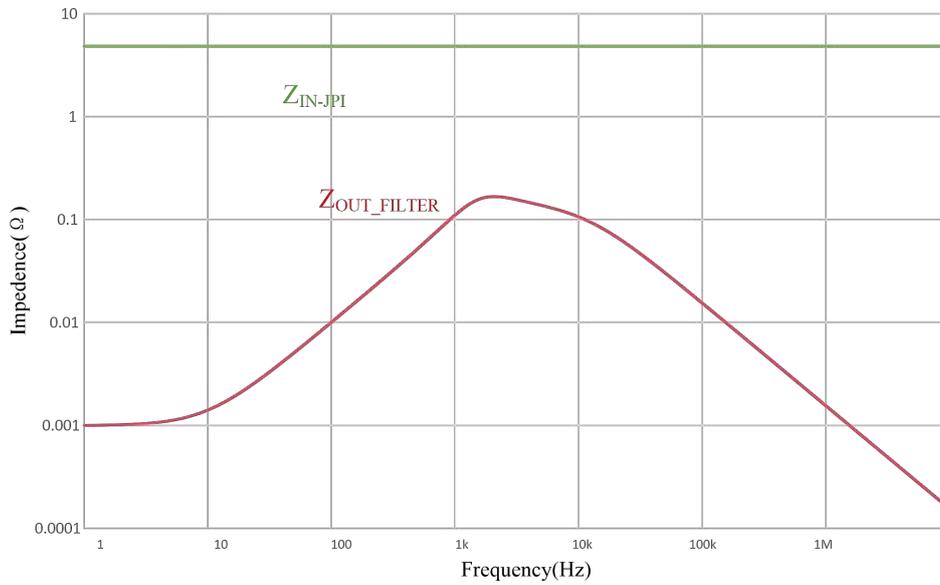


图 4.17a 简化的串联阻尼滤波器的输出阻抗与 JPI 负输入阻抗

4.附录

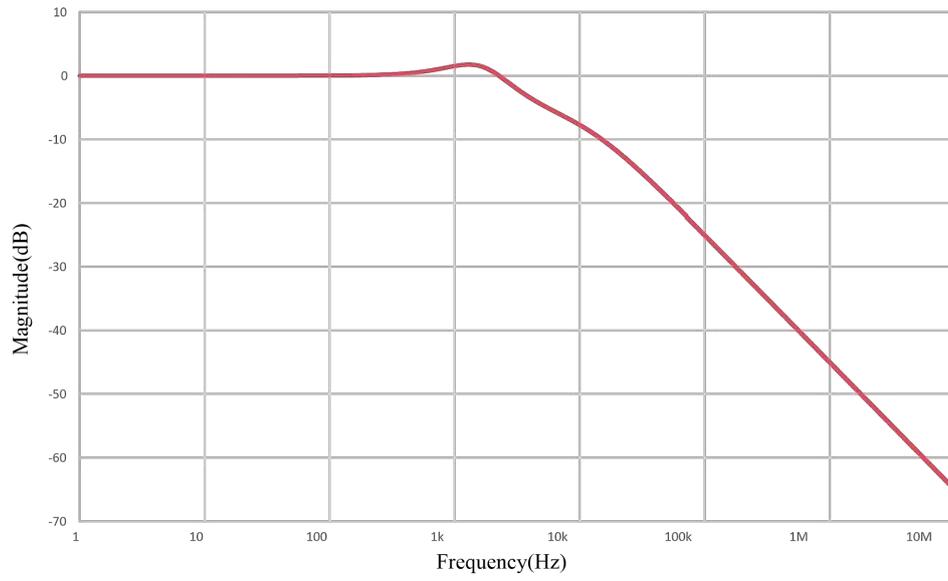


图 4.17b 简化的串联阻尼滤波器的电压传递函数